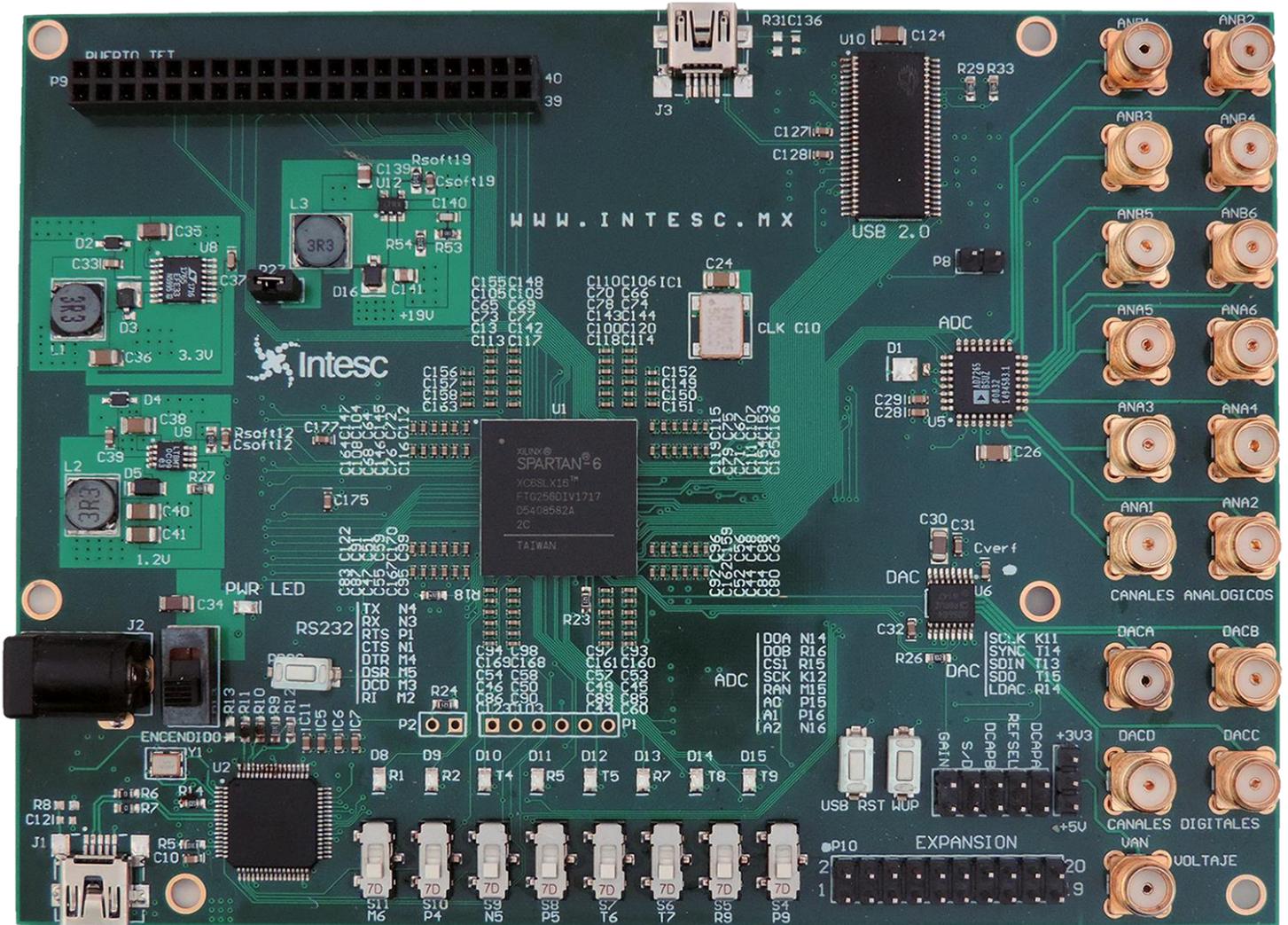


ASSERTA



Contenido

1. Introducción	3
2. Características principales	4
2.1 FPGA	4
2.2 Recursos en ASSERTA	4
3. Diagrama de bloques	5
4. Diseño y disposición física de la tarjeta	6
5. Puertos y configuración	7
5.1 Voltaje	7
5.2 Oscilador	7
5.3 Flash SPI	8
5.4 Transceiver USB 2.0	8
5.5 Convertidor USB-RS232 FTDI FT2232H	10
5.6 SDRAM	11
5.7 TFT 4.3" (No incluida en el kit básico)	12
5.8 ADC y DAC	14
5.9 LEDs, Switches y Puertos de Expansión	15
6. Herramientas de desarrollo	18
6.1 Herramienta de desarrollo para FPGA	18
7. Historial de revisión de especificaciones	20
8. Historial de revisión de hardware	21

1. Introducción

La tarjeta ASSERTA es un sistema de desarrollo que contiene elementos que la hacen ideal para hacer adquisición de datos. En su núcleo reside un FPGA Spartan 6 XC6SLX16 que le permitirá al usuario diseñar sistemas de procesamiento en paralelo, usar el procesador Microblaze, hacer integración con MATLAB o LabVIEW, entre otras muchas aplicaciones. Además, los 12 convertidores analógico/digitales, sus 4 convertidores digitales/analógicos y su pantalla TFT (No incluida en el kit básico) con opción de Touchscreen Capacitivo permiten que ASSERTA pueda ser usada como un sistema autónomo de adquisición.

2. Características principales

ASSERTA ofrece los siguientes recursos:

2.1 FPGA

- Familia Spartan 6
- Modelo XC6SLX16
- Empaquetado 2FTG256
- 576 Kb de Block RAM
- Oscilador de 50 MHz

2.2 Recursos en ASSERTA

- Convertidor USB-RS232 (FTDI FT2232HL)
- Memoria Flash 64Mb
- 16 pines de entrada/salida digital (FPGA)
- Puerto para TFT modelo (La TFT no va incluida en el Kit básico)
- ADC modelo AD7265, contiene 2 ADC de 6 canales cada uno
- DAC modelo AD5684, contiene 1 DAC de 4 canales
- 9 LEDs
- 8 Switches
- 3 push button:
 - Reset FPGA
 - Reset USB
 - WUP USB
- Un interruptor de encendido o apagado.
- Fuente Principal: 5v desde alimentación externa
- Un Transceiver USB 2.0 de Cypress [CYC68013A](#)
- SDRAM de 32 Megas x 16 bits MT48LC32M16
- 17 conectores SMA
 - 6 para ADC
 - 4 para DAC
 - 1 para voltaje de salida con selector de 5V o 3.3V
- 1 jumper para habilitar o deshabilitar fuente de 19V (P27)
- 1 jumper para programar Transceiver desde memoria EEPROM (P8)
- 5 jumpers para configurar ADC y DAC (J1 – J5)
- 1 puerto de 3 pines para seleccionar voltaje en VAN utilizando un jumper(J6)

3. Diagrama de bloques

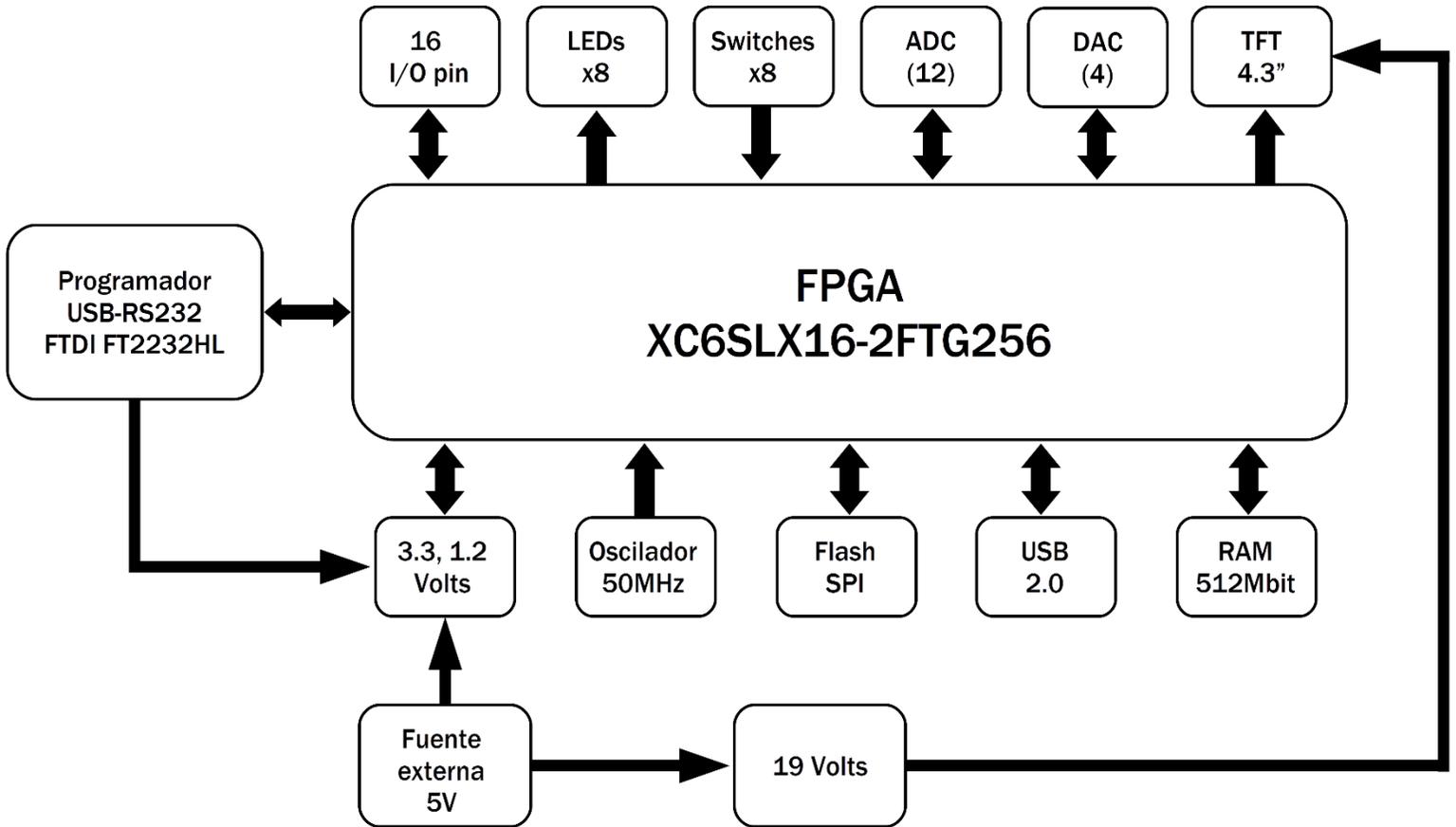
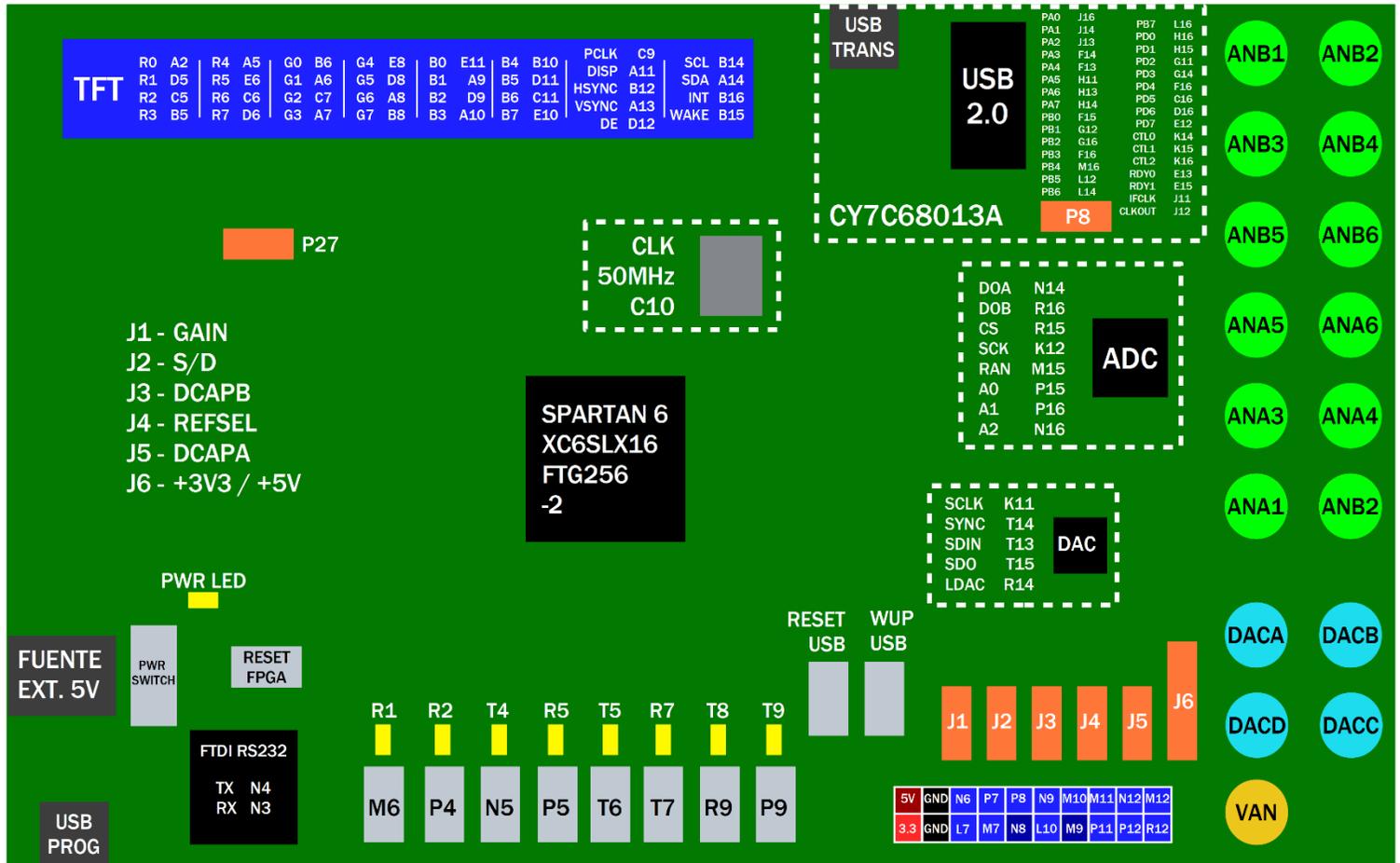


Imagen 1. Diagrama de bloques de la tarjeta de desarrollo ASSERTA

4. Diseño y disposición física de la tarjeta



- 5 V
- Jumper
- 3.3 V
- Conector
- GND
- Oscilador
- E/S DIG
- Conector SMA ADC
- CLK, E/S DIG
- Conector SMA DAC
- LED
- Conector SMA Voltaje
- Interruptor

Imagen 2. Ubicación de los recursos y nombre de los puertos en ASSERTA.

5. Puertos y configuración

5.1 Voltaje

ASSERTA cuenta con 3 fuentes internas (Imagen 3), para el FPGA y los diferentes componentes, y una fuente externa de alimentación. Las fuentes internas son de 3.3, 1.2 y 19 Volts y la externa de 5 Volts. Las fuentes de 3.3 y 5 Volts pueden ser usadas para alimentar circuitos externos a través del conector SMA “VAN” y/o el puerto de expansión P10.

La fuente de 1.2 Volts es usada para alimentar el núcleo del FPGA y no hay salida al exterior. Asimismo, no se aconseja usar esta fuente para alimentar componentes que no son el FPGA. La fuente de 19 Volts es usada exclusivamente para alimentar los LEDs que iluminan la pantalla TFT y puede entregar una corriente máxima de 50mA. Puede deshabilitarse, si no se usa la TFT, removiendo el Jumper P27.

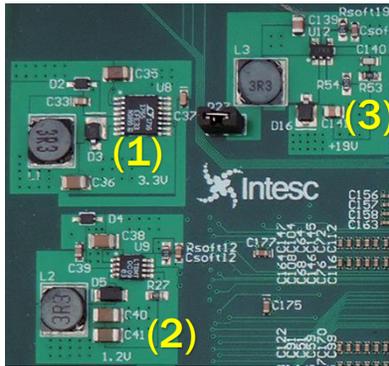


Imagen 3. Fuentes internas de ASSERTA: (1) 3.3V, (2) 1.2V y (3) 19V.

5.2 Oscilador

ASSERTA cuenta con un oscilador de 50MHz (Imagen 4) soldado al pin C10. Este oscilador es la principal fuente de reloj de ASSERTA y pueden usarse los recursos internos del Spartan 6 para incrementar o disminuir la frecuencia usando sus CTMS internos.

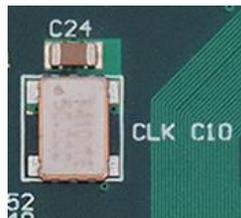


Imagen 4. Oscilador de 50Mhz.

5.3 Flash SPI

ASSERTA cuenta con una memoria MX25L6445EM2I de Macronix International de 64 Mbits que, además de almacenar el bitstream de programación para el Spartan 6, puede ser usada para almacenar información que el usuario requiera, como pueden ser las imágenes predeterminadas de la pantalla TFT. Es responsabilidad del usuario no editar el área donde el bitstream es almacenado.

La siguiente tabla resume el mapeo de pines del FPGA a la memoria:

NOMBRE	PIN FPGA	PIN FLASH
CS	T3	1
SO	P10	2
SI	T10	5
SCLK	R11	6

5.4 Transceiver USB 2.0

Dado que ASSERTA es un kit de adquisición de datos, es importante que incluya un método para transmitir información hacia una PC. Para lograr esta tarea, ha sido incluido un transceiver USB 2.0 de Cypress CY7C68013A (Imagen 5), que es capaz de alcanzar la tasa máxima de transferencia del USB 2.0: 480 Mbit/seg.



Imagen 5. Transceiver USB 2.0

La siguiente tabla resume el mapeo de pines del FPGA al transceiver USB2.0:

NOMBRE	PIN FPGA	PIN USB
PA0	J16	40
PA1	J14	41
PA2	J13	42
PA3	F14	43
PA4	F13	44
PA5	H11	45
PA6	H13	46

NOMBRE	PIN FPGA	PIN USB
PA7	H14	47
PB0	F15	25
PB1	G12	26
PB2	G16	27
PB3	E16	28
PB4	M16	29
PB5	L12	30
PB6	L14	31
PB7	L16	32
PD0	H16	52
PD1	H15	53
PD2	G11	54
PD3	G14	55
PD4	F16	56
PD5	C16	1
PD6	D16	2
PD7	E12	3
CTL0	K14	36
CTL1	K15	37
CTL2	K16	38
RDY0	E13	8
RDY1	E15	9
IFCLK	J11	20
CLKOUT	J12	5

Para usar el transceiver USB2.0, deben descargarse las herramientas de desarrollo de Cypress desde su [página web](#). El botón WUP es usado para despertar, si es programado con dicha característica, al transceiver USB 2.0. El botón USB RST es el reset del transceiver. Este botón NO interrumpe su alimentación. ASSERTA cuenta con una memoria EEPROM para almacenar el firmware que haya diseñado el usuario para el chip de Cypress. Para que el transceiver sea programado desde dicha memoria durante la conexión, debe colocarse un Jumper en el conector P8.

5.5 Convertidor USB-RS232 FTDI FT2232H

Para facilitar la comunicación hacia la computadora, el programador de ASSERTA, basado en un FT2232 de FTDI (Imagen 6), incluye un convertidor USB/RS232 que es detectado en una PC como puerto COM. Esta interfaz es útil cuando la velocidad de transferencia no es crítica y se puede conectar fácilmente con LabVIEW, JAVA, Matlab, etc.

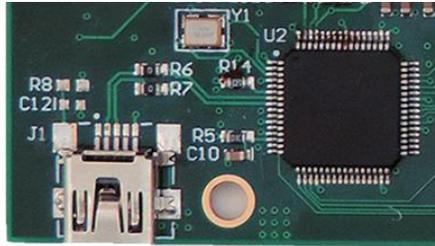


Imagen 6. Convertidor USB/RS232 FT2232.

La siguiente tabla resume el mapeo de pines del FPGA al RS232:

NOMBRE	PIN FPGA	PIN FTDI
TX	N4	38
RX	N3	39
RTS	P1	40
CTS	N1	41
DTR	M4	43
DSR	M5	44
DCD	M3	45
RI	M2	46

5.6 SDRAM

ASSERTA cuenta con una memoria SDRAM MT48LC32M16 de Micron de 32Megas x 16Bits y puede operar a una frecuencia máxima de 133MHz. El tamaño de la palabra (16 Bits) ha sido escogido para poder almacenar en una dirección de memoria una palabra proveniente del convertidor Analógico/Digital o poder ser leída una palabra para el convertidor Digital/Analógico ya que ambos son de 12 bits. La siguiente tabla resume el mapeo de pines del FPGA a la memoria:

NOMBRE	PIN FPGA	PIN SDRAM
D0	B2	2
D1	F6	4
D2	C1	5
D3	C3	7
D4	D3	8
D5	E4	10
D6	E3	11
D7	F5	13
D8	F1	42
D9	F2	44
D10	E1	45
D11	E2	47
D12	D1	48
D13	C2	50
D14	B1	51
D15	B3	53
A0	K3	23
A1	L5	24
A2	L3	25
A3	L4	26
A4	M1	29
A5	L1	30
A6	K2	31
A7	K1	32
A8	J1	33
A9	J3	34
A10	K5	22
A11	H1	35
A12	H2	36

NOMBRE	PIN FPGA	PIN SDRAM
BA0	J4	20
BA1	K6	21
CS	J6	19
WE	F4	16
CAS	H5	17
RAS	H3	18
CLKE	G1	37
CLK	H4	38
DQML	F3	15
DQMH	G3	39

5.7 TFT 4.3" (No incluida en el kit básico)

Para ser un sistema totalmente autónomo, Intesc incluye como aditamento opcional en ASSERTA una pantalla TFT de 4.3" capaz de mostrar hasta 16 millones de colores. La figura 5 muestra el conector para la pantalla TFT.

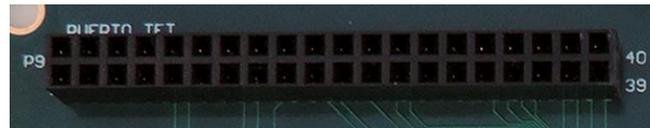


Imagen 7. Conector para TFT.

La siguiente tabla resume el mapeo de pines del FPGA al conector para la TFT:

NOMBRE	PIN FPGA	PIN TFT CON.
R0	A2	5
R1	D5	6
R2	C5	7
R3	B5	8
R4	A5	9
R5	E6	10
R6	C6	11
R7	D6	12
G0	B6	13
G1	A6	14
G2	C7	15
G3	A7	16
G4	E8	17

NOMBRE	PIN FPGA	PIN SDRAM
G5	D8	18
G6	A8	19
G7	B8	20
B0	E11	21
B1	A9	22
B2	D9	23
B3	A10	24
B4	B10	25
B5	D11	26
B6	C11	27
B7	E10	28
PCLK	C9	30
DISP	A11	31
HSYNC	B12	32
VSYNC	A13	33
DE	D12	34

La siguiente tabla resume el mapeo de pines del FPGA al TouchScreen I2C de la TFT (sólo si la TFT lo soporta). Los pines a ASSERTA se encuentran dentro del conector para la TFT:

NOMBRE	PIN FPGA	PIN TFT CON.
SCL	B14	37
SDA	A14	38
INT	B16	39
WAKE	B15	40

5.8 ADC y DAC

Ya que fue diseñado como un sistema de adquisición, ASSERTA cuenta con un convertidor Analógico/Digital (ADC) AD7265 y un convertidor Digital/Analógico (DAC) AD5684, ambos de Analog Devices (Imagen 8). El ADC tiene una resolución de 12 bits y trabaja a 1MSPS. El DAC corre a 50Mhz y, al igual que el ADC, tiene una resolución de 12 bits. Tanto el ADC como el DAC trabajan con una interfaz SPI, pero han sido conectados al FPGA de forma independiente, permitiendo que ambos trabajen al mismo tiempo. Además, el ADC tiene dos canales, A y B, independientes permitiendo hacer dos muestreos al mismo tiempo. Las entradas del ADC se encuentran en el área de canales analógicos y se conectarán a través conectores tipo SMA. Asimismo, las salidas del DAC se encuentran en el área de canales digitales y se conectan, también, a través de conectores tipo SMA. La ganancia del DAC, la selección y niveles del voltaje de referencia del ADC y su configuración diferencial son seleccionados desde Jumpers en ASSERTA (para más información, ver especificaciones del fabricante).

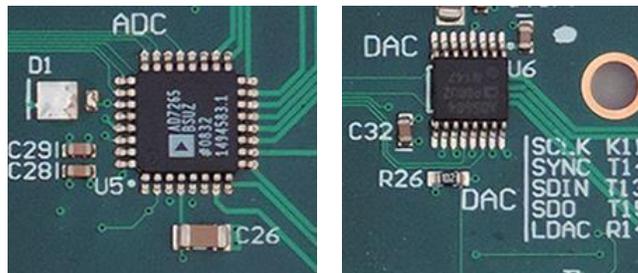
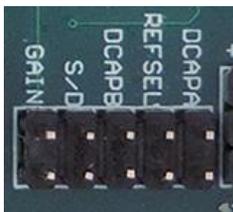


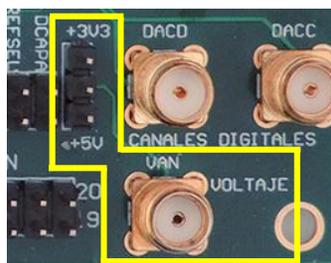
Imagen 8. ADC y DAC

La siguiente tabla muestra la configuración del ADC y el DAC usando Jumpers:



	CON JUMPER	SIN JUMPER
GAIN	0V-5V	0V - 2.5V
S/D	DIFERENCIAL	SINGLE
DCAPB	VREF(EXT) = 5V	VREF(INT) = 2.5V
REFSEL	VREF EXTERNO	VREF INTERNO
DCAPA	VREF(EXT) = 5V	VREF(INT) = 2.5V

Además de los conectores de entrada y salida del ADC y DAC, ASSERTA cuenta con un conector SMA dedicado a ofrecer una salida de voltaje seleccionable entre 3.3 Volts o 5 Volts a través del Jumper de selección.



La siguiente tabla resume el mapeo de pines del FPGA al ADC:

NOMBRE	PIN FPGA	PIN ADC
DOA	N14	30
DOB	R16	28
CS	R15	26
SCK	K12	27
RAN	M15	21
A0	P15	25
A1	P16	24
A2	N16	23

La siguiente tabla resume el mapeo de pines del FPGA al DAC:

NOMBRE	PIN FPGA	PIN DAC
SCLK	K11	12
SYNC	T14	13
SDIN	T13	14
SDO	T15	8
LDAC	R14	9

5.9 LEDs, Switches y Puertos de Expansión

Se han colocado 8 LEDs y 8 Switches (Imagen 9) dentro de ASSERTA para hacer comunicación digital básica. Los LEDs trabajan como salidas digitales mientras los Switches trabajan como entradas, también digitales. Además, ASSERTA cuenta con 16 pines de entrada salida de propósito general. Las 16 entradas/salidas se encuentran en el puerto de Expansión P10 y cuentan con una salida de 3.3 Volts, una de 5 Volts y la referencia (GND).

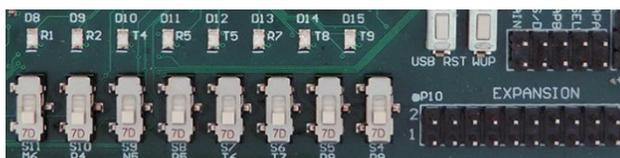


Imagen 9. LEDs, Switches y puerto de expansión P10.

La siguiente tabla resume el mapeo de pines del FPGA a los LEDs:

NOMBRE	PIN FPGA
D8	R1
D9	R2
D10	T4
D11	R5
D12	T5
D13	R7
D14	T8
D15	T9

La siguiente tabla resume el mapeo de pines del FPGA a los Switches:

NOMBRE	PIN FPGA
S11	M6
S10	P4
S9	N5
S8	P5
S7	T6
S6	T7
S5	R9
S4	P9

La siguiente tabla resume el mapeo de pines del FPGA hacia el puerto de expansión

NOMBRE	PIN FPGA	PIN EXPAN.
3.3V	NA	1
5V	NA	2
GND	NA	3
GND	NA	4
I01	L7	5
I02	N6	6
I03	M7	7
I04	P7	8
I05	N8	9
I06	P8	10
I07	L10	11
I08	N9	12
I09	M9	13
I010	M10	14
I011	P11	15
I012	M11	16
I013	P12	17
I014	N12	18
I015	R12	19
I016	M12	20

6. Herramientas de desarrollo

6.1 Herramienta de desarrollo para FPGA

Para la implementación de diseños en VHDL se utiliza el ISE de Xilinx.



Además, se puede implementar el microprocesador de Xilinx: Microblaze.



También se pueden utilizar algunas herramientas de Matlab con System Generator.



System
Generator

En nuestro sitio web se pueden encontrar diferentes ejemplos de códigos de Hardware en VHDL para usar los diferentes dispositivos con los que cuenta ASSERTA. Todo el código es completamente gratuito y puede usarse para cualquier fin (leer licencia adjunta a cada módulo).

www.intesc.mx

7. Historial de revisión de especificaciones

Fecha	Revisión	Cambios
--/05/2018	B	<p>Se modificó foto de portada Se agregó Índice de contenido Se agregó modelo de convertidor USB/RS232 FTDI Se rediseñaron los diagramas a bloques Se creó la imagen de diseño y composición física de la tarjeta Se añadieron Herramientas de Desarrollo Se modificó la plantilla Se agregó número de página Se corrigieron pines en tabla de SDRAM Se corrigieron pines en tabla de puerto de expansión P10</p>

8. Historial de revisión de hardware

Fecha	Revisión	Cambios