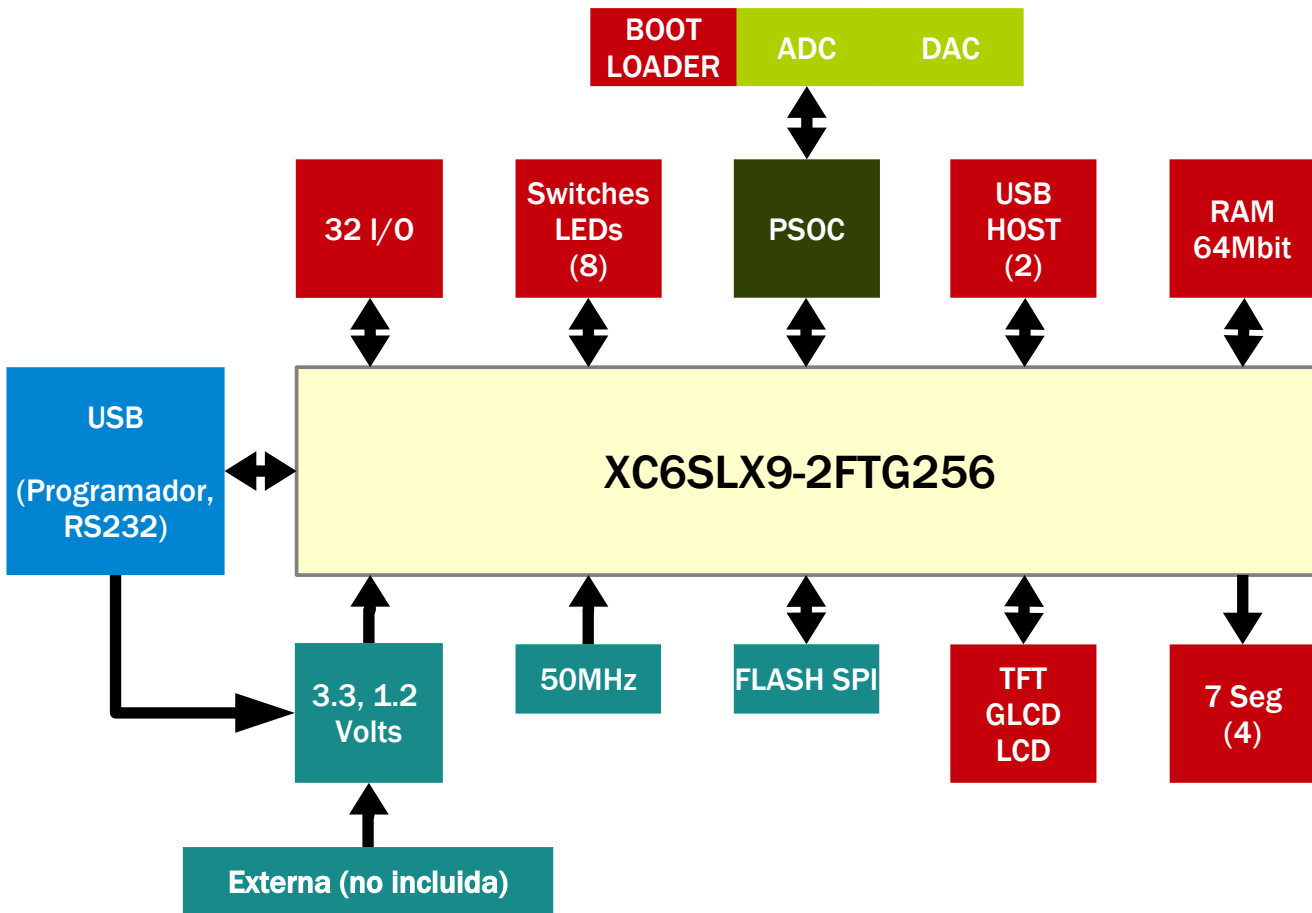


### Introducción

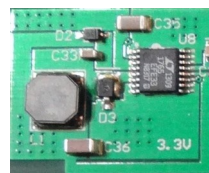
La tarjeta de desarrollo de Intesc AVANXE, ha sido diseñada para satisfacer las necesidades de estudiantes y profesionistas que comienzan a trabajar con VHDL. Además, debido al número de recursos que contiene, ofrece una gran versatilidad para el desarrollo de aplicaciones embebidas para aquellos que ya tienen experiencia trabajando con FPGAs.

AVANXE cuenta con un FPGA Spartan 6 de Xilinx que, además de permitir el diseño de sistemas digitales combinacionales y secuenciales usando VHDL, permitirá al desarrollador crear aplicaciones en áreas como procesamiento de señales, control, instrumentación, arquitectura de computadoras, etc. Además, incluye un PSOC 3 de Cypress precargado con un Bootloader, que le permitirá al desarrollador adquirir señales analógicas, diseñar sistemas usan tecnología CapSense o simplemente programarlo de acuerdo a los requerimientos y las necesidades del proyecto. La siguiente figura muestra el diagrama de bloques de AVANXE:



### Voltaje

AVANXE cuenta con 2 fuentes de voltaje internas para alimentar el FPGA y los diferentes componentes. Las fuentes internas son de 3.3, 1.2



Volts. La alimentación de AVANXE puede provenir del puerto USB o de una fuente externa de 5 o YVolts seleccionable a través del jumper

**PWRSEL1.** Si se alimenta con una fuente externa, el switch PWR SW sirve para encender y apagar a AVANXE. Si se alimenta con el puerto USB, el encendido es inmediato.

La fuente de 3.3 Volts puede ser usada para alimentar circuitos externos a través de los puertos de expansión P10, P13, P15 y P16. La fuente de 5 Volts externa también puede ser usada para alimentar circuitos externos usando el puerto de expansión P14.

La fuente de 1.2 Volts es usada para alimentar el núcleo del FPGA y no hay salida al exterior. Asimismo no se aconseja usar esta fuente para alimentar componentes que no son el FPGA.

### Programación

El FPGA puede ser programado de dos formas diferentes: usando el programador USB de Intesc o a partir de un archivo almacenado en la memoria Flash SPI.

El programador USB usa el software [INTegra](#) para hacer la conexión y descargar el archivo .bit al FPGA. Cuando AVANXE es encendido, el FPGA es programado automáticamente por la memoria Flash SPI y el interruptor PROG permite que el FPGA se re-programe usando esta memoria sin necesidad de apagar o desconectar a AVANXE.

### Oscilador



AVANXE cuenta con un oscilador de 50MHz soldado al pin **C10**. Este oscilador es la principal fuente de reloj de AVANXE, aunque pueden usarse los recursos internos del Spartan 6

para incrementar o disminuir la frecuencia usando sus CTM internos.

### Flash SPI

AVANXE cuenta con una memoria MX25L64 de [Macronix International](#) de 64 Mbits que, además de almacenar el bitstream de programación para el Spartan 6, puede ser usada para almacenar

información que el usuario requiera, como pueden ser las imágenes predeterminadas de la pantalla TFT. Es responsabilidad del usuario no editar el área donde el bitstream es almacenado.

La siguiente tabla resume el mapeo de pines del FPGA a la memoria:

NOMBRE	PIN FPGA	PIN FLASH
CS	T3	1
SO	P10	2
SI	T10	5
SCLK	R11	6

### RS232

Para facilitar la comunicación hacia la computadora, el programador de AVANXE, basado en un FT232 de [FTDI](#), incluye un convertidor USB/RS232 que es detectado en una PC como puerto COM. Esta interfaz es útil cuando la velocidad de transferencia no es crítica y se puede conectar fácilmente con LabVIEW, JAVA, Matlab, etc.

La siguiente tabla resume el mapeo de pines del FPGA al RS232:

NOMBRE	PIN FPGA	PIN RS232
TX	N4	38
RX	N3	39
RTS	P1	40
CTS	N1	41
DTR	M4	43
DSR	M5	44
DCD	M3	45
RI	M2	46

\*En el ucf, deben invertirse los bits N4 y N3. Es decir, N4 es RX y N3 es TX en el FPGA

### Display de 7 Segmentos

En AVANXE se han incluido 4 Displays de 7 segmentos de ánodo común. Los 4 Displays comparten el bus de datos y los ánodos están conectados a transistores PNP para multiplexar en encendido de cada Display. La siguiente tabla resume los pines del FPGA hacia los segmentos y ánodos (a través de los transistores) de los 4 Displays:

NOMBRE	PIN FPGA
A	N9
B	L10
C	M7
D	N6
E	L7
F	P8
G	P7
P.D.	N8
AN0	M11
AN1	P11
AN2	M10
AN3	M9

### PSoC

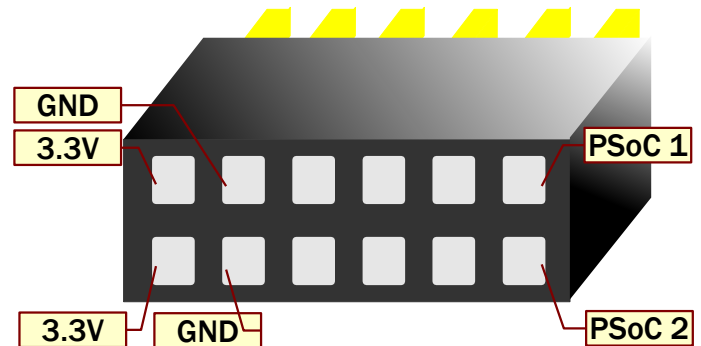
AVANXE cuenta con un PSoC (Programmable System on Chip) de [Cypress CY8C3246](#) precargado con un Bootloader para ser re-programado a través del puerto USB J3. El software de programación es llamado [PSOC Creator](#) y es completamente gratuito.

Para comunicarse al exterior, se ha colocado el puerto de expansión P13, que proporciona una salida de 3.3Volts y la referencia (GND), así como 8 pines que pueden ser mapeados para ser utilizado directamente con el PsoC.

Una de las principales aplicaciones que tiene el PSoC para AVANXE es la conversión Analógica Digital y Digital Analógica, razón por la cual ha

sido colocado el jumper P11 para seleccionar el voltaje de alimentación, de 3.3 o 5 Volts, al puerto interno P0 del PsoC.

La siguiente figura muestra la conexión del puerto interno P0 del PSoC con el puerto de AVANXE P13:



Y la siguiente tabla muestra la conexión entre ambos puertos:

NOMBRE	PIN PSoC	P13
PSoC1	P0[4]	1
PSoC2	P0[0]	2
PSoC3	P0[5]	3
PSoC4	P0[1]	4
PSoC5	P0[6]	5
PSoC6	P0[2]	6
PSoC7	P0[7]	7
PSoC8	P0[3]	8
GND	-	9
GND	-	10
3.3V	-	11
3.3V	-	12

El PSoC y el FPGA se comunican a través de 6 pines: 4 para realizar comunicación a través de una interfaz SPI y 1 pin de interrupción\* y 1 bit conectado a un LED como salida digital (No conectado al FPGA). La siguiente tabla muestra la

conexión con el FPGA.

NOMBRE	PIN PSoC	PIN FPGA
CS	P2[4]	H11
SCK	P2[3]	J11
SDO	P2[6]	H13
SDI	P2[7]	J13
INT	P15[1]	J12
LED	P1[6]	N.C.

\*Aunque los 5 pines han sido colocados para realizar comunicación SPI + 1 un bit de interrupción, el usuario puede reconfigurar el PsoC de acuerdo a sus necesidades.

### Bootloader

El switch S10 es un reset para el PSoC y, en conjunto con el switch S11, carga el Bootloader de acuerdo a una secuencia:

1. Presionar S10 y mantener presionado
2. Presionar S11 mientras se tiene presionado S10
3. Mantener presionado al menos 1 segundo tanto S10 como S11
4. Soltar S10
5. Soltar S11

La secuencia anterior provocará que la PC reconozca e instale el Bootloader, dejando listo el Hardware para ser reprogramado.

### SDRAM

AVANXE cuenta con una memoria SDR SDRAM, ubicada en la cara inferior del circuito impreso, **MT48LC4M16** de [Micron](#) de 4Megas x 16Bits o una equivalente y puede operar a una frecuencia máxima de 167MHz.

La siguiente tabla resume el mapeo de pines del FPGA a la memoria:

NOMBRE	PIN FPGA	PIN SDRAM
D0	B2	2
D1	F6	4

D2	C1	5
D3	C3	7
NOMBRE	PIN FPGA	PIN SDRAM
D4	D3	8
D5	E4	10
D6	E3	11
D7	F5	13
D8	F1	42
D9	F2	44
D10	E1	45
D11	E2	47
D12	D1	48
D13	C2	50
D14	B1	51
D15	B3	53
A0	K3	23
A1	L5	24
A2	L3	25
A3	L4	26
A4	M1	29
A5	L1	30
A6	K2	31
A7	K1	32
A8	J1	33
A9	J3	34
A10	K5	22
A11	H1	35
BA0	J4	20
BA1	K6	21
CS	J6	19

WE	F4	16
CAS	H5	17
<b>NOMBRE</b>	<b>PIN FPGA</b>	<b>PIN SDRAM</b>
RAS	H3	18
CLKE	G1	37
CLK	H4	38
DQML	F3	15
DQMH	G3	39

### PUERTO EXPANSIÓN TFT, LCD Y GLCD

Para ser un sistema totalmente autónomo, Intesc incluye en AVANXE un puerto de expansión para conectar diferentes dispositivos gráficos de salida.

#### TFT 4.3" No incluida

La pantalla TFT se conecta en el puerto P2 y es capaz de mostrar hasta 16 millones de colores y puede adquirirse con la opción de TouchScreen capacitivo. Las especificaciones de la pantalla pueden encontrarse en nuestro sitio web. La TFT necesita 19 Volts para operar y puede ser suministrado a través del puerto P4.

#### LCD 2x16 y GLCD

AVANXE incluye un puerto de expansión, P1, para usar una LCD de 2x16 caracteres y un puerto de expansión, P10, para conectarse con una [GLCD de 240x128](#) puntos (ambos puertos son compartidos con el puerto de la TFT). Dado que la LCD y la GLCD tienen requerimientos de contraste diferentes, AVANXE cuenta con el jumper P9, usado para seleccionar entre contraste para cada Display y la resistencia R14 es usada para determinar el contraste.

La siguiente tabla muestra los pines entre el FPGA y la TFT, LCD y GLCD.

PIN TFT	PIN LCD	PIN GLCD	PIN FPGA
R0	RS	C/D	A2

R1	-	-	D5
R2	RW	/RD	C5
<b>PIN TFT</b>	<b>PIN LCD</b>	<b>PIN GLCD</b>	<b>PIN FPGA</b>
R3	-	-	B5
R4	E	/WR	A5
R5	-	-	E6
R6	DB0	DB0	C6
R7	-	-	D6
G0	DB1	DB1	B6
G1	-	-	A6
G2	DB2	DB2	C7
G3	-	-	A7
G4	DB3	DB3	E8
G5	-	-	D8
G6	DB4	DB4	A8
G7	-	-	B8
B0	DB5	DB5	E11
B1	-	-	A9
B2	DB6	DB6	D9
B3	-	-	A10
B4	DB7	DB7	B10
B5	-	-	D11
B6	-	/CE	C11
B7	-	-	E10
PCLK	-	-	C9
DISP	-	/RESET	A11
HSYNC	-	-	B12
VSYNC	-	MD2	A13
DE	-	-	D12

La siguiente tabla resume el mapeo de pines del

FPGA al TouchScreen I<sup>2</sup>C de la TFT (sólo si la TFT lo soporta) y la GLCD:

PIN TFT	PIN GCLD	PIN FPGA
SCL	-	B14
SDA	-	A14
INT	FS1	B16
WAKE	-	B15

### USB HOST

Para lograr que AVANXE sea multidisciplinaria, ha sido incluido un HOST USB [Vinculum II](#) de FTDI de dos canales, preconfigurados para recibir información de dispositivos USB HID, como un mouse o un teclado. El canal uno ha sido configurado para trabajar usando un protocolo SPI maestro (el FPGA es el esclavo) mientras el segundo ha sido configurado para trabajar usando una interfaz RS232. Las siguiente tabla resume la configuración de ambos canales.

SPI MAESTRO	CONFIGURACIÓN
SCK	3MHZ
MODO SPI	CPOL = 0, CPHA = 0
1 <sup>er</sup> Bit Transmitido	Bit más significativo
SPI_ESCLAVO	
SCK	HASTA 3 MHZ
MODO SPI	CPOL = 0, CPHA = 1

Los pines que interactúan entre el FPGA con el chip de FTDI se resumen en la siguiente tabla:

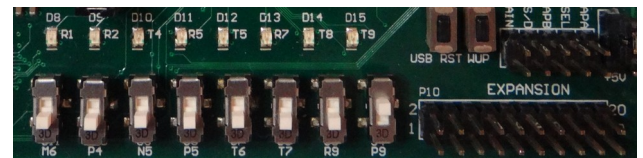
NOMBRE	PIN FTDI	PIN FPGA
SPI_M/SCK	15	K12

SPI_M/MOSI	16	N14
SPI_M/MISO	18	R15
NOMBRE	PIN FTDI	PIN FPGA
SPI_M/CS	19	T15
SPI_S/SCK	20	K11
SPI_S/MOSI	21	R14
SPI_S/MISO	22	T14
SPI_S/CS	23	T13

### LEDs, Switches y Puertos de Expansión

Se han colocado 8 LEDs y 8 Switches dentro de AVANXE para hacer comunicación digital básica. Los LEDs trabajan como salidas digitales mientras los Switches trabajan como entradas, también digitales.

Además, AVANXE cuenta con 24 pines de entrada salida de propósito general dispuestos en 4 conectores de 2x6 denominados P10, P14, P15 y P16. Los conectores P10, P15 y P16 cuentan con una salida de 3.3 Volt y el conector P14 con una salida de 5Volts; además todos cuentan la referencia (GND) y 8 entradas salidas.



La siguiente tabla resume el mapeo de pines del FPGA a los LEDs:

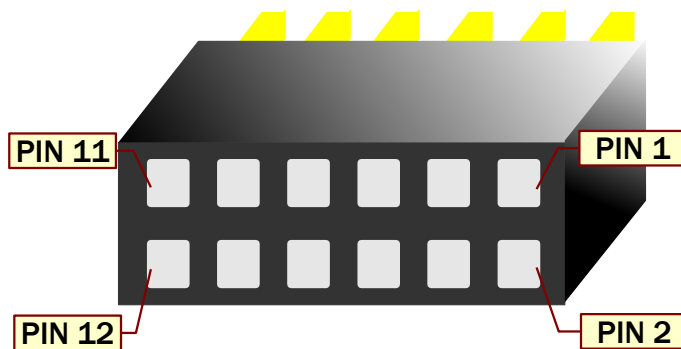
NOMBRE	PIN FPGA
D6	R1
D7	R2
D8	T4
D9	R5
D10	T5
D11	R7

D12	T8
D13	T9

La siguiente tabla resume el mapeo de pines del FPGA a los Switches:

NOMBRE	PIN FPGA
S2	M6
S3	P4
S4	N5
S5	P5
S6	T6
S7	T7
S8	R9
S9	P9

La siguiente figura muestra la forma en que los pines están colocados en los conectores hembra, en vista frontal:



Las siguientes tabla resume el mapeo de pines del FPGA hacia los puerto de expansión

#### CONECTOR P10

NOMBRE	PIN FPGA	PIN EXPAN.
I00	E16	1
I01	G16	2

I02	G12	3
I03	F15	4
NOMBRE	PIN FPGA	PIN EXPAN.
I04	F16	5
I05	G14	6
I06	G11	7
I07	H15	8
GND	-	9
GND	-	10
3.3V	-	11
3.3V	-	12

#### CONECTOR P14

NOMBRE	PIN FPGA	PIN EXPAN.
I00	M15	1
I01	N16	2
I02	P16	3
I03	R16	4
I04	P15	5
I05	R12	6
I06	N12	7
I07	P12	8
GND	-	9
GND	-	10
5V	-	11
5V	-	12

#### CONECTOR P15

NOMBRE	PIN FPGA	PIN EXPAN.
I00/GCLK0	J14	1
I01/GCLK1	J16	2

<b>I02</b>	<b>K16</b>	<b>3</b>
------------	------------	----------

<b>I03</b>	<b>K15</b>	<b>4</b>
------------	------------	----------



<b>NOMBRE</b>	<b>PIN FPGA</b>	<b>PIN EXPAN.</b>	<b>I04/GCLK2</b>	<b>K14</b>	<b>5</b>
---------------	-----------------	-------------------	------------------	------------	----------

I05	L16	6
I06	L14	7
I07	L12	8
GND	-	9
GND	-	10
3.3V	-	11
3.3V	-	12

#### CONECTOR P16

NOMBRE	PIN FPGA	PIN EXPAN.
I00	M16	1
I01	C16	2
I02	D16	3
I03	E12	4

I04	E13	5
I05	E15	6
I06	F13	7
I07	F14	8
GND	-	9
GND	-	10
3.3V	-	11
3.3V	-	12

En nuestro sitio web se pueden encontrar diferentes ejemplos de códigos de Hardware en VHDL para usar los diferentes dispositivos con los que cuenta AVANXE.

Todo el código es completamente gratuito y puede usarse para cualquier fin (leer licencia adjunta a cada módulo)\*\*.

\*\* Al adquirir AVANXE, el usuario acepta su responsabilidad en el uso de sus recursos e Intesc no se hace responsable por el uso que se le de a este kit de desarrollo.